

RELEVANCE OF EACH DOCUMENT

The relevance of Documents A1 and A2 is described in the present specification. An English translation of the foreign-language documents is not readily available. However, the absence of such translation does not relieve the PTO from its duty to consider the submitted foreign language documents (37 CFR § 1.98 and MPEP § 609). English language abstracts are attached.

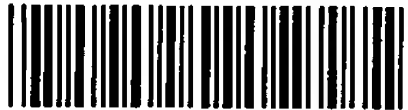
Applicant respectfully requests that any listed document be considered by the Examiner and be made of record in the present application and that an initialed copy of Form PTO/SB/08 be returned in accordance with MPEP § 609.

The Commissioner is hereby authorized to charge any additional fees which may be required regarding this application under 37 CFR §§ 1.16-1.17, or credit any overpayment, to Deposit Account No. 19-0741. Should no proper payment be enclosed herewith, as by a check being in the wrong amount, unsigned, post-dated, otherwise improper or informal or even entirely missing, the Commissioner is authorized to charge the unpaid amount to Deposit Account No. 19-0741.

Respectfully submitted,

Date: August 25, 2003

FOLEY & LARDNER
Customer Number: 22428



22428

PATENT TRADEMARK OFFICE

Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By

Phillip J. Artisola

Reg No.
38,819

for /

David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

日 本 国 特 許 庁
JAPAN PATENT OFFICE

VS

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月30日

出 願 番 号
Application Number:

特願2002-253329

[ST.10/C]:

[JP 2002-253329]

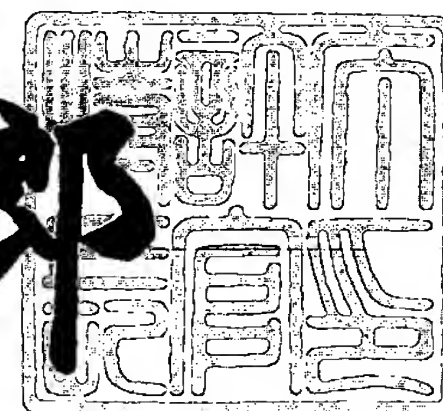
出 願 人
Applicant(s):

NECエレクトロニクス株式会社

2003年 6月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3041988

【書類名】 特許願

【整理番号】 71110544

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00
G01R 31/28

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 川崎 達也

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100082935

 【弁理士】

 【氏名又は名称】 京本 直樹

 【電話番号】 03-3454-1111

【選任した代理人】

 【識別番号】 100082924

 【弁理士】

 【氏名又は名称】 福田 修一

 【電話番号】 03-3454-1111

【選任した代理人】

 【識別番号】 100085268

 【弁理士】

 【氏名又は名称】 河合 信明

 【電話番号】 03-3454-1111

【手数料の表示】

 【予納台帳番号】 008279

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリのテスト回路

【特許請求の範囲】

【請求項 1】 半導体集積回路にメモリと共に内蔵されるテスト回路において、前記メモリのテスト信号を生成するテスト信号生成回路と、前記テスト信号生成回路の制御を行う制御回路を有し、外部から入力される第 1 の制御信号に応じてテスト設定モードとテスト実行モードが切替えられ、前記テスト設定モードにおいて前記テスト信号生成回路へ入力される、テスト信号の初期データおよび前記テスト信号生成回路を制御するための制御データと、前記制御回路への制御データとが、同一の端子よりシリアルに入力されることを特徴とするメモリのテスト回路。

【請求項 2】 前記テスト信号生成回路が、チップセレクト信号生成回路と、アドレス信号生成回路と、データ信号生成回路と、リードライト信号生成回路からなることを特徴とする請求項 1 記載のメモリのテスト回路。

【請求項 3】 外部から入力される第 2、3、4 の制御信号に応じて、それぞれ、アドレスのインクリメント、デクリメントの制御、リードライトの制御、データ反転の有無の制御がされることを特徴とする請求項 1 または 2 記載のメモリのテスト回路。

【請求項 4】 選択されたメモリの出力データを選択して外部に出力データとして出力するセクタを有することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のメモリのテスト回路。

【請求項 5】 前記リードライト信号生成回路が前記チップセレクト信号生成回路の出力信号に基づいてリードライト信号を生成することを特徴とする請求項 1 乃至 4 のいずれか 1 項記載のメモリのテスト回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、メモリのテスト回路に係り、特にメモリとロジック部が 1 つの半導体チップに混載された半導体集積回路のメモリのテスト回路に関するものである

【 0 0 0 2 】

【従来の技術】

近年、A S I Cやマイクロプロセッサ等のロジック部にメモリを混載したL S Iが種々提案されている。この種のL S Iにおいてメモリの通常動作は、ロジック部からの信号により制御され、例えばロジック部から読み出し命令が出されると、メモリは選択されたアドレスのデータをロジック部に出力する。同様にメモリは選択されたアドレスのデータをロジック部に出力する。この種のL S Iにおいて、複雑なロジック部を介してメモリのテストを行うことは実用的ではないため、メモリのテストを行うための専用のテスト回路が種々提案されている。

【 0 0 0 3 】

図 1 0 は従来のメモリのテスト回路の構成を示す図である（例えば、特許文献 1 参照。）。図 1 0 において、2 1 1 はメモリのテストの対象であるメモリ回路であり、複数のデータ入力端子D I および複数のデータ出力端子D Oを有している。2 1 2 は外部入力端子N Iを有する内部ロジック回路、2 1 3, 2 1 4 はそれぞれセクタであり、テストモード端子T E S Tからの切替制御信号によって入力端子A, Bを切替える。

【 0 0 0 4 】

次に動作について説明する。通常 of データを書き込む場合には、テストモード端子T E S Tからの切替制御信号によってセクタ2 1 3, 2 1 4 はいずれも入力端子Aを選択する。通常 of データは外部入力端子N Iから入力され、内部ロジック回路2 1 2, セクタ2 1 3を介してデータ入力端子D Iからメモリ回路2 1 1に書き込まれる。また、通常 of データを読み出す場合には、メモリ回路2 1 1のデータ出力端子D Oから内部ロジック回路2 1 2, セクタ2 1 4を介して外部出力端子O U Tへ出力される。

【 0 0 0 5 】

テストデータを書き込む場合には、テストモード端子T E S Tからの切替制御信号によってセクタ2 1 3, 2 1 4 はいずれも入力端子Bを選択する。テストデータはテスト入力端子T Iから入力され、セクタ2 1 3を介してデータ入力

端子 D I からメモリ回路 2 1 1 に書き込まれる。また、テストデータを読み出す場合には、メモリ回路 2 1 1 のデータ出力端子 D O からセクタ 2 1 4 を介して外部出力端子 O U T へ出力される。

【 0 0 0 6 】

このような従来のメモリのテスト回路は、メモリのテストを行う際にはセクタ 2 1 3, 2 1 4 を切替制御することによって、内部ロジック回路 2 1 2 を介さずにメモリ回路 2 1 1 単体のメモリのテストを行うことができる。

【 0 0 0 7 】

他のメモリのテスト回路の従来技術として、組み込自己テスト回路 (B I S T 回路) として知られているものが有る。上述したメモリのテスト回路がテストパタンの発生及び出力データの解析を全て外部のテストにて行うものであったのに対して、B I S T 回路においては、テストパターン生成器とテスト結果解析器とを備えており、外部のテストにはテストの判定結果のみが出力される。従って、B I S T 回路では、L S I に必要なテスト用端子の数が少数ですむという長所がある。

【 0 0 0 8 】

しかしながら、一般的な B I S T 回路では、メモリテスト回路内部にシーケンサを持ち、そのシーケンサがテスト内容を制御するためテスト内容が固定されており、L S I の設計後にテスト内容を変更することが不可能である。

【 0 0 0 9 】

そこで、L S I の設計後にもテスト内容の変更を可能にする手法として、プログラマブルな B I S T 回路というものが考えられている。図 1 1 は一般的に考えられるプログラマブルな B I S T 回路の構成図である。R A M テスト命令用メモリ 1 0 2 には、外部入力端子よりテスト内容を生成するためのアルゴリズムを表現したプログラムデータ 1 0 1 が入力されて記憶される。R A M テスト制御回路 1 0 3 は、テストモード設定信号 T E S T が所定の論理になるとテストモードに設定され、R A M テストクロック C L K に同期して動作し、アドレス指定信号 1 0 6 を R A M テスト命令用メモリ 1 0 2 に与え、R A M テスト命令用メモリ 1 0 2 より順次プログラムデータ 1 0 7 を読み出す。

【 0 0 1 0 】

テストパターン生成器 1 1 0 は、R A M テスト制御回路 1 0 3 から出力される制御信号 1 0 8 に応じてそのプログラムデータに対応したテストパターンデータ 1 1 1 を順次発生させる。テストパターンデータ 1 1 1 は、セクタ 1 1 4 により通常動作時の信号 1 1 5 と切り替えられ、被テストメモリ 1 1 6 への入力データとして選択される。

【 0 0 1 1 】

このようなプログラマブルな B I S T 回路では、R A M テスト命令用メモリに保持されているプログラムデータを変更することで、任意の R A M テストを実行することが可能である。また、R A M テスト命令メモリによる面積増加を避けるために、R A M テスト命令メモリの代わりに、L S I 内部のスキャンパスレジスタを代用した手法が提案されている（例えば、特許文献 2 参照。）。

【 0 0 1 2 】

【特許文献 1】

特開 2 0 0 2 - 4 2 4 9 3 号公報（図 5）

【特許文献 2】

特開 2 0 0 1 - 2 9 7 5 9 8 号公報（図 1）

【 0 0 1 3 】

【発明が解決しようとする課題】

セクタを切替制御して、内部ロジック回路を介さずにメモリ回路のテストを行う方法では、データ入力端子、データ出力端子の数だけテスト用端子が必要となる。従って、データ入力、データ出力のビット幅が大きい場合や複数のメモリが内蔵されている場合、多数のテスト用端子が必要となり実用的ではなくなるという欠点が有る。

【 0 0 1 4 】

一般的な B I S T 回路では、回路内部にシーケンサを持ち、そのシーケンサがテスト内容を制御するためテスト内容が固定されており、L S I の設計後にテスト内容を変更することが不可能である。一方、図 1 1 に示すような B I S T スト回路では、R A M テスト命令用メモリを L S I 内部に組み込むことによる面積の

増大や、RAMテスト命令用メモリ自信のテストも問題となる。特許文献2で提案されているBIST回路では、RAMテスト命令用メモリの追加による面積の増加は無いものの、RAMテスト命令用メモリの代用として使用するLSI内部のスキャンパスレジスタからプログラムを引き出すための信号線等による面積の増加とレイアウト時の配線性の悪化が問題となる。また、これらテスト回路はプログラムからテストパターンを生成するため、RAMテスト制御回路およびテストパターン発生器では、プログラムのデコード、RAMの制御信号の生成等を行なうための回路が必要となり回路規模が大きくなるという欠点がある。

【0015】

本発明は、上記のような課題を解決するためになされたものであり、必要最低限のテスト用外部端子と回路追加により、テスト内容が変更可能なメモリのテスト回路を実現することを目的とする。

【0016】

【課題を解決するための手段】

本発明のメモリのテスト回路は、半導体集積回路にメモリと共に内蔵されるテスト回路において、前記メモリのテスト信号を生成するテスト信号生成回路と、前記テスト信号生成回路の制御を行う制御回路を有し、外部から入力される第1の制御信号に応じてテスト設定モードとテスト実行モードが切替えられ、前記テスト設定モードにおいて前記テスト信号生成回路へ入力される、テスト信号の初期データおよび前記テスト信号生成回路を制御するための制御データと、前記制御回路への制御データとが、同一の端子よりシリアルに入力されるように構成されている。

【0017】

本発明では、外部から入力される第1の制御信号に応じてテスト設定モードとテスト実行モードが切替えられ、前記テスト設定モードにおいて前記テスト信号生成回路へ入力される、テスト信号の初期データおよび前記テスト信号生成回路を制御するための制御データと、前記制御回路への制御データとが、同一の端子よりシリアルに入力されるように構成されているので、少数の外部端子によりメモリのテスト内容を変更できる。

【 0 0 1 8 】

【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例に基づいて本発明をさらに詳細に説明する。

【 0 0 1 9 】

図 1 は、本発明の実施形態例に係るメモリのテスト回路を備える L S I の構成を示すものである。本発明のメモリのテスト回路を適用した L S I は、複数の R A M 9 1 ～ 9 m と、テスト回路 5 0 0 を備えている。

【 0 0 2 0 】

テスト回路 5 0 0 の出力 6 は、テスト時の各 R A M 9 1 ～ 9 m への入力信号である、データ信号と、アドレス信号と、チップセレクト (C S) 信号と、リードライト (R / W) 信号であり、セクタ 4 の入力的一方へ接続され、セクタ 4 の入力のもう一方には通常動作時の各 R A M 9 1 ～ 9 m への入力信号 7 として、データ信号とアドレス信号と C S 信号と R / W 信号が接続される。

【 0 0 2 1 】

セクタ 4 は、外部端子から入力されるテスト切替信号 1 により信号 6 と 7 を切り替え、その出力信号 8 は各 R A M 9 1 ～ 9 m へ入力される。 C S 信号により選択された R A M は R / W 信号の値により、データの読み出しあるいは書き込みを行なう。

【 0 0 2 2 】

各 R A M 9 1 ～ 9 m の出力はテスト回路 5 0 0 へも入力され、セクタ 5 5 0 により選択した R A M の出力データが、出力データ信号 2 として L S I から外部へ出力される。

【 0 0 2 3 】

テスト回路 5 0 0 は、セクタ 4 と、 R A M の C S 信号を生成する C S 信号生成回路 5 1 0 と、 R A M のアドレス信号を生成するアドレス信号生成回路 5 2 0 と、 R A M への書き込みデータを生成するデータ信号生成回路 5 3 0 と、 R A M への R / W 信号を生成する R / W 信号生成回路 5 4 0 と、選択されている R A M からの出力信号を C S 信号により選択するセクタ 5 5 0 と、 R A M の C S 信号

やアドレス信号やデータ信号の値等を制御するテスト設定制御回路 5 6 0 で構成される。テスト設定制御回路 5 6 0 には、L S I の制御端子からテスト制御信号 3 1 ~ 3 4 が入力される。

【 0 0 2 4 】

本発明のテスト信号生成回路である、C S 信号生成回路 5 1 0、アドレス信号生成回路 5 2 0、データ信号生成回路 5 3 0、および R / W 信号生成回路 5 4 0 からの出力信号が各 R A M へのテスト信号 6 としてセクタ 4 へ出力される。

【 0 0 2 5 】

アドレス信号生成回路 5 2 0 は R A M へのアドレス信号のインクリメント / デクリメント (I n c / D e c) を行なう I n c / D e c 回路 5 2 1 とそれを制御 (I n c 又は D e c を選択) する I n c / D e c 制御回路 5 2 2 を備えている。

【 0 0 2 6 】

データ信号生成回路 5 3 0 は R A M への書き込みデータの反転 / 非反転を行なう反転 / 非反転回路 5 3 1 を備えている。

【 0 0 2 7 】

C S 信号生成回路 5 1 0、アドレス信号生成回路 5 2 0、データ信号生成回路 5 3 0、およびテスト設定制御回路 5 6 0 はシフトレジスタ (S R) を備えている。I n c / D e c 制御回路 5 2 2 はレジスタ (R) を備えている。これらの S R および R には、値をセットするデータとなるテスト制御信号 3 1 が入力される。これらの S R 及び R を構成するフリップフロップには、外部端子より入力されるテストリセット信号 1 2 があらかじめ入力されることにより、初期値 0 がセットされている。

【 0 0 2 8 】

テスト設定制御回路 5 6 0 の構成例を図 5 に示す。テスト設定制御回路 5 6 0 は、C S 信号生成回路 5 1 0 の S R とアドレス信号生成回路 5 2 0 の S R とデータ信号生成回路 5 3 0 の S R と I n c / D e c 制御回路 5 2 2 の R の選択、および、C S 信号生成回路 5 1 0 とアドレス信号生成回路 5 2 0 とデータ信号生成回路 5 3 0 と R / W 信号生成回路 5 4 0 の動作の制御を行なう。

【 0 0 2 9 】

図 5 において、信号 5 7 0 - 5 ~ 5 7 0 - 8 は、それぞれ、C S 信号生成回路 5 1 0 の S R と、アドレス信号生成回路 5 2 0 の S R と、I n c / D e c 制御回路 5 2 2 の R と、データ信号生成回路 5 3 0 の S R の選択信号である。選択信号 5 7 0 - 5 ~ 5 7 0 - 8 は、S R を構成する各フリップフロップ (F / F) の値をデコーダでデコードすることにより生成される。また、選択信号 5 7 0 - 5 ~ 5 7 0 - 8 は、テスト制御信号 3 4 を 0、テスト制御信号 3 2 を 1 とした時にアクティブになる。この S R の値の設定は、テスト制御信号 3 4 を 0、テスト制御信号 3 3 を 1 にし、テスト制御信号 3 1 をシリアル入力として、L S I の他のロジック部と共通の外部端子より入力されるクロック 1 1 に同期して値をラッチすることで行なう。信号 5 7 0 - 1 ~ 5 7 0 - 4 は、それぞれ、C S 信号生成回路 5 1 0 と、アドレス信号生成回路 5 2 0 と、データ信号生成回路 5 3 0 と、R / W 信号生成回路 5 4 0 の制御信号である。制御信号 5 7 0 - 1 ~ 5 7 0 - 4 は、テスト制御信号 3 4 を 1 とした時に有効になる。

【 0 0 3 0 】

C S 信号生成回路 5 1 0 の構成例を図 6 に示す。この図は、R A M が 4 個である場合のものである。C S 信号生成回路 5 1 0 は、C S 信号生成回路 5 1 0 の S R を構成する F / F の値を元に C S 信号を生成する。S R の値の設定は、テスト設定制御回路 5 6 0 の S R の値を設定した後、テスト制御信号 3 4 を 0、テスト制御信号 3 2 を 1 にして選択信号 5 7 0 - 5 をアクティブにし、テスト制御信号 3 1 をシリアル入力としてクロック 1 1 に同期して値をラッチすることで行なう。C S 信号生成回路 5 1 0 が出力する C S 信号 6 - 5 1 0 は、テスト制御信号 3 4 を 1 にして制御信号 5 7 0 - 1 をアクティブにすることで出力される。

【 0 0 3 1 】

アドレス信号生成回路 5 2 0 の構成例を図 7 に示す。この図は、アドレス線が 4 ビット幅である場合のものである。アドレス信号生成回路 5 2 0 は、アドレス信号生成回路 5 2 0 の S R の値を元にアドレス信号を生成する。初期アドレス値となる S R の値の設定は、テスト設定制御回路 5 6 0 の S R の値を設定した後、テスト制御信号 3 4 を 0、テスト制御信号 3 2 を 1 にして選択信号 5 7 0 - 6 をアクティブにし、テスト制御信号 3 1 をシリアル入力としてクロック 1 1 に同期

して値をラッチすることで行なう。アドレス信号生成回路 5 2 0 の S R は、初期アドレスを設定する選択信号 5 7 0 - 6 がアクティブの期間のみ、S R を構成する各 F / F をシフトレジスタ接続し、テスト実行時には I n c / D e c 5 2 1 から出力されるアドレス信号をこれらの各フリップフロップに平行に書き込むためのセクタを備えている。

【 0 0 3 2 】

I n c / D e c 制御回路 5 2 2 は、I n c / D e c 制御回路 5 2 2 のレジスタ (R) の値を元に I n c / D e c 制御信号を生成し、この値を元に I n c / D e c 回路 5 2 1 は I n c と D e c を切り替える。R の値の設定は、テスト設定制御回路 5 6 0 の S R の値を設定した後、テスト制御信号 3 4 を 0、テスト制御信号 3 2 を 1 にして選択信号 5 7 0 - 7 をアクティブにし、テスト制御信号 3 1 を入力としてクロック 1 1 に同期して値をラッチすることで行なう。

【 0 0 3 3 】

アドレス信号生成回路 5 2 0 が出力するアドレス信号 6 - 5 2 0 は S R の各フリップフロップの値が出力される。I n c / D e c 回路 5 2 1 にはアドレス信号 6 - 5 2 0 が入力され、I n c / D e c 回路 5 2 1 はアドレス信号 6 - 5 2 0 を I n c / D e c して出力する。また、テスト制御信号 3 4 を 1、テスト制御信号 3 3 を 1 にして 制御信号 5 7 0 - 2 がアクティブになった時に、I n c / D e c 回路 5 2 1 の出力がアドレス信号生成回路 5 2 0 の S R の各フリップフロップに平行に書き込まれる (アドレス信号の I n c / D e c を行なう)。制御信号 5 7 0 - 2 がアクティブではない時はアドレス信号生成回路 5 2 0 の S R の値 (アドレス信号) は変化しない。

【 0 0 3 4 】

データ信号生成回路 5 3 0 の構成例を図 8 に示す。この図は、データ線が 4 ビット幅である場合のものである。データ信号生成回路 5 3 0 は、データ信号生成回路 5 3 0 の S R の各 F / F の値を元に R A M への書き込みデータとなるデータ信号を生成する。S R の値の設定は、テスト設定制御回路 5 6 0 の S R の値を設定した後、テスト制御信号 3 4 を 0、テスト制御信号 3 2 を 1 にして選択信号 5 7 0 - 8 をアクティブにし、テスト制御信号 3 1 をシリアル入力としてクロック

1 1 に同期して値をラッチすることで行なう。

【 0 0 3 5 】

反転／非反転回路 5 3 1 はデータ信号生成回路 5 3 0 の S R の各 F / F の値を入力とし、テスト制御信号 3 4 を 1、テスト制御信号 3 2 を 1 にして制御信号 5 7 0 - 3 がアクティブになった時に S R の各 F / F の値を反転したデータを出力し、制御信号 5 7 0 - 3 がアクティブで無い時に反転しないデータを出力する。データ信号生成回路 5 3 0 が出力するデータ信号 6 - 5 3 0 は反転／非反転回路 5 3 1 の出力である。

【 0 0 3 6 】

R / W 信号生成回路 5 4 0 の構成例を図 9 に示す。この図は、R A M が 4 個である場合のものである。R / W 信号生成回路 5 4 0 は、C S 信号生成回路 5 1 0 の出力 6 - 5 1 0 を元に出力する。R / W 信号生成回路 5 4 0 が出力する R / W 信号 6 - 5 4 0 は、テスト制御信号 3 4 を 1、テスト制御信号 3 1 を 1 にして制御信号 5 7 0 - 4 をアクティブにすることで 1 (ライト) が出力され、制御信号 5 7 0 - 4 がアクティブではない時には 0 (リード) が出力される。

【 0 0 3 7 】

次に、本実施形態例の動作につき説明する。テスト回路 5 0 0 の動作は「テスト設定」と「テスト実行」の 2 つに分けられる。「テスト設定」と「テスト実行」の切り替えはテスト制御信号 3 4 により行なう。

【 0 0 3 8 】

まず、「テスト設定」の動作について説明する。「テスト設定」の動作とは、テストする R A M の選択 (C S の値の決定) と、テスト開始アドレス値の決定と、アドレス値の I n c もしくは D e c の選択と、書き込みデータの値の決定を行なうことである。C S 信号と、アドレス信号と、アドレスの I n c または D e c の選択と、データ信号は、C S 信号生成回路 5 1 0 とアドレス信号生成回路 5 2 0 と I n c / D e c 制御回路 5 2 2 とデータ信号生成回路 5 3 0 の S R (シフトレジスタ) 又は R (レジスタ) の値により生成されるため、これらの S R 又は R の値を設定することが「テスト設定」での作業である。

【 0 0 3 9 】

「テスト設定」のフローを以下に示す。1. テスト制御信号 3 4 を 0 にする。
 2. テスト制御信号 3 3 を 1 にし、テスト制御回路 5 6 0 の S R の値をテスト制御信号 3 1 をシリアル入力として設定し、設定したい S R 又は R（ここでは、C S 信号生成回路 5 1 0 とアドレス信号生成回路 5 2 0 とデータ信号生成回路 5 3 0 の S R と I n c / D e c 制御回路 5 2 2 の R）を選択する。3. テスト制御信号 3 2 を 1 にし、2. で選択した S R 又は R の値をテスト制御信号 3 1 をシリアル入力として設定する。4. 全ての S R 又は R の値が設定されるまで 2. と 3. を繰り返す。

【 0 0 4 0 】

次に「テスト実行」の動作について説明する。「テスト実行」の動作とは、R A M へデータを読み書き（R / W）することである。「テスト実行」で制御できるのは、アドレスの I n c（D e c）の有無、R / W、データ反転の有無である。

【 0 0 4 1 】

テスト制御信号 3 3 を 1 にすると、アドレス生成回路 5 2 0 の S R の値の I n c（D e c）を行ない、0 にすると I n c（D e c）は行なわない。I n c または D e c の選択は「テスト設定」時に I n c / D e c 制御回路 5 2 2 の R に設定されている。テスト制御信号 3 2 を 1 にすると、R A M へ書き込みを行ない、0 にすると読み出しを行なう。テスト制御信号 3 1 を 1 にすると、データ信号生成回路 5 3 0 の S R の値の反転を行ない、0 にすると行なわない。

【 0 0 4 2 】

テスト制御信号 の組み合わせによるテスト回路の動作についてまとめたものを図 2 に示す。図 2 に示した動作内容にしたがった動作の例を以下に述べる。

【 0 0 4 3 】

まず「テスト設定」の動作の例を図 3 に示す。テスト制御信号 3 4 を 0 にすることで「テスト設定」になる。時刻 0 において、テスト設定制御回路 5 6 0 の S R は C S 信号生成回路の S R を選択（C S）している。ここでテスト制御信号 3 2 を 1 にすると、テスト制御信号 3 1 の値がシリアル入力で C S 信号生成回路 5 1 0 の S R 入力され、値が設定される（R A M 9 1 を選択）。

【 0 0 4 4 】

時刻 1 において、テスト制御信号 3 3 を 1 にすると、テスト制御信号 3 1 の値がシリアル入力でテスト設定制御回路 5 6 0 の S R へ入力され値が設定 (I n c / D e c) される。時刻 2 において、テスト制御信号 3 2 を 1 にすると、テスト制御信号 3 1 の値が I n c / D e c 制御回路 5 2 2 の R へ入力され値が設定 (D e c を選択) される。

【 0 0 4 5 】

同様にして、データ信号生成回路 5 3 0 の S R に、時刻 5, 6, 7 のクロック 1 1 の立ち上がり時のテスト制御信号 3 1 の値 1, 0, 1 が入力され 5 (ヘキサデシマル) が設定され、アドレス信号生成回路 5 2 0 の S R には、時刻 1 0, 1 1, 1 2 の クロック 1 1 の立ち上がり時のテスト制御信号 3 1 の値 1, 1, 0 が入力されて 6 (ヘキサデシマル) が設定される。これで設定は完了である。

【 0 0 4 6 】

次に「テスト実行」の動作の例を図 4 に示す。テスト制御信号 3 4 を 1 にすることで「テスト実行」になり、各 S R で設定された値が R A M の C S、データ、アドレス信号として出力される。時刻 1 5 において、テスト制御信号 3 2 を 1 にすると、R A M の R / W 信号が 1 (W) になる。時刻 1 7 において、テスト制御信号 3 1 を 1 にすると、R A M のデータ信号の値が反転した値 A (ヘキサデシマル) となる。時刻 1 8 ~ 2 4 において、テスト制御信号 3 3 を 1 にすると、R A M のアドレスがデクリメントする。

【 0 0 4 7 】

以上、説明した様に、本発明のテスト回路では、テスト開始アドレスや R A M に書き込むためのデータを自由に設定でき、リード/ライトやデータの反転やアドレスのインクリメント (デクリメント) のタイミングも自由に操作することができる。

【 0 0 4 8 】

なお、実施形態例に基づいて説明したが、本発明のメモリのテスト回路は、上記実施形態例の構成に限定されるものではなく、上記実施形態例の構成から種々の変更を施したものも、本発明の範囲に含まれる。例えば、実施形態例では被テ

ストメモリの数、データ信号のビット幅はいずれも 4 個で説明したが、これらの数は任意の数に容易に変更することが可能である。

【 0 0 4 9 】

【発明の効果】

第一の効果は、少数の外部端子により R A M のテスト内容を変更できることである。その理由は、テストに必要なデータを外部から供給する際にシリアル入力を使用していること、および、アドレッシングや R / W のタイミング等を外部端子から制御できる構造であるためである。

【 0 0 5 0 】

第二の効果は、少量のハードウェアにより R A M のテスト回路が構成できることである。その理由は、テストの内容を操作、決定するためのシーケンサや R O M コード等を回路内部に持たず、回路内部の必要最低限のシフトレジスタと少量のロジック、および、少数の外部端子によりテスト内容を操作できる構成であるためである。

【図面の簡単な説明】

【図 1】

本発明の実施形態例によるメモリのテスト回路を内蔵した L S I の構成を示す図である。

【図 2】

本発明の実施形態例によるテスト制御信号の組み合わせによるメモリのテスト回路の動作をまとめた図である。

【図 3】

本発明の実施形態例によるメモリのテスト回路の「テスト設定」の動作例を示すタイミング図である。

【図 4】

本発明の実施形態例によるメモリのテスト回路の「テスト動作設定」の動作例を示すタイミング図である。

【図 5】

本発明の実施形態例によるメモリのテスト回路のテスト設定制御回路の構成例

を示す図である。

【図 6】

本発明の実施形態例によるメモリのテスト回路のCS信号生成回路の構成例を示す図である。

【図 7】

本発明の実施形態例によるメモリのテスト回路のアドレス信号生成回路の構成例を示す図である。

【図 8】

本発明の実施形態例によるメモリのテスト回路のデータ信号生成回路の構成例を示す図である。

【図 9】

本発明の実施形態例によるメモリのテスト回路のR/W信号生成回路テスト設定制御回路の構成例を示す図である。

【図 1 0】

第 1 の従来技術によるメモリのテスト回路の構成を示す図である。

【図 1 1】

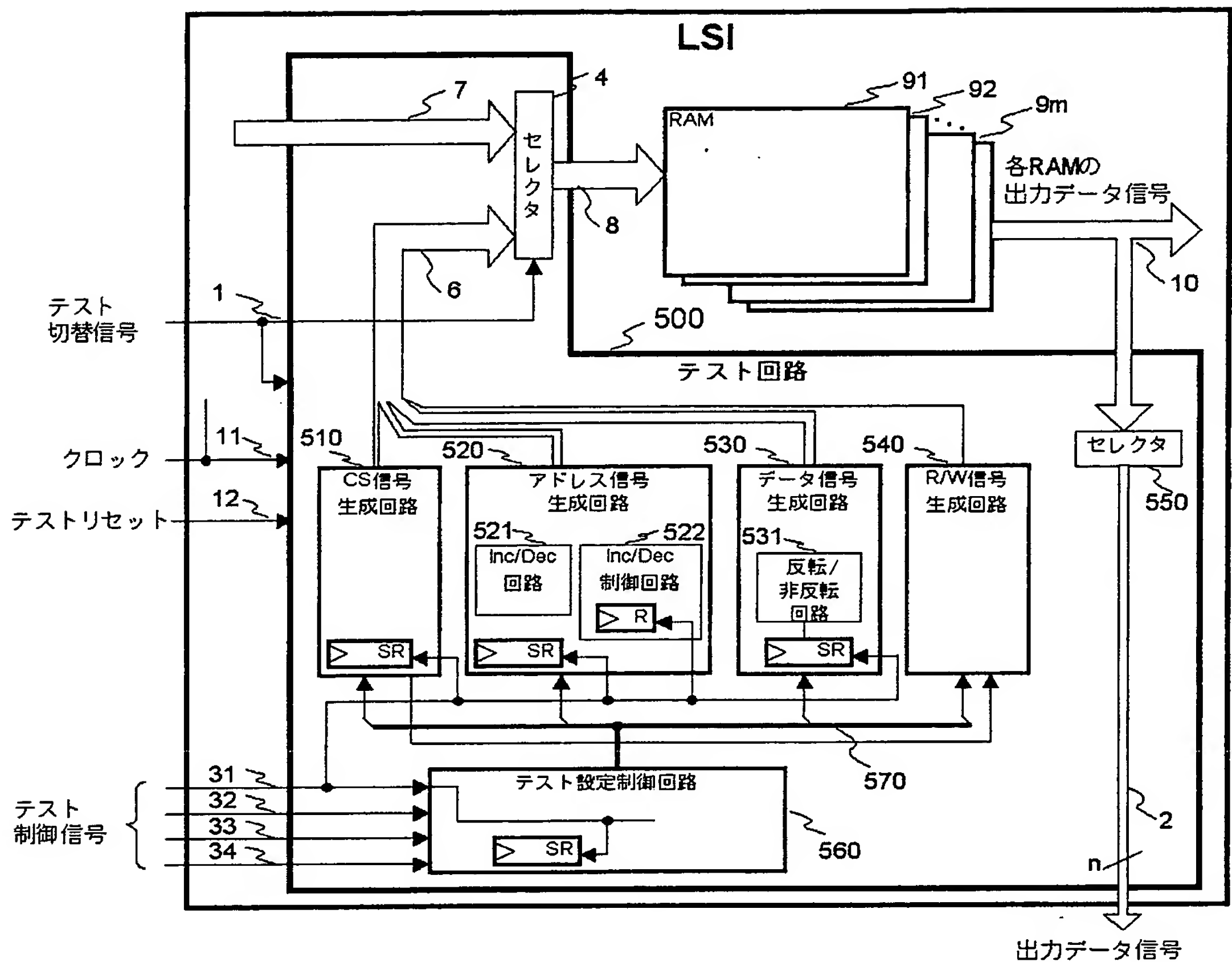
第 2 の従来技術によるメモリのテスト回路の構成を示す図である。

【符号の説明】

- 1 テスト切替信号
- 2 出力データ信号
- 3 1, 3 2, 3 3, 3 4 テスト制御信号
- 4 セレクタ
- 5 0 0 テスト回路
- 5 1 0 CS信号生成回路
- 5 2 0 アドレス信号生成回路
- 5 3 0 データ信号生成回路
- 5 4 0 R/W信号生成回路
- 5 5 0 セレクタ
- 5 6 0 テスト設定制御回路

【書類名】 図面

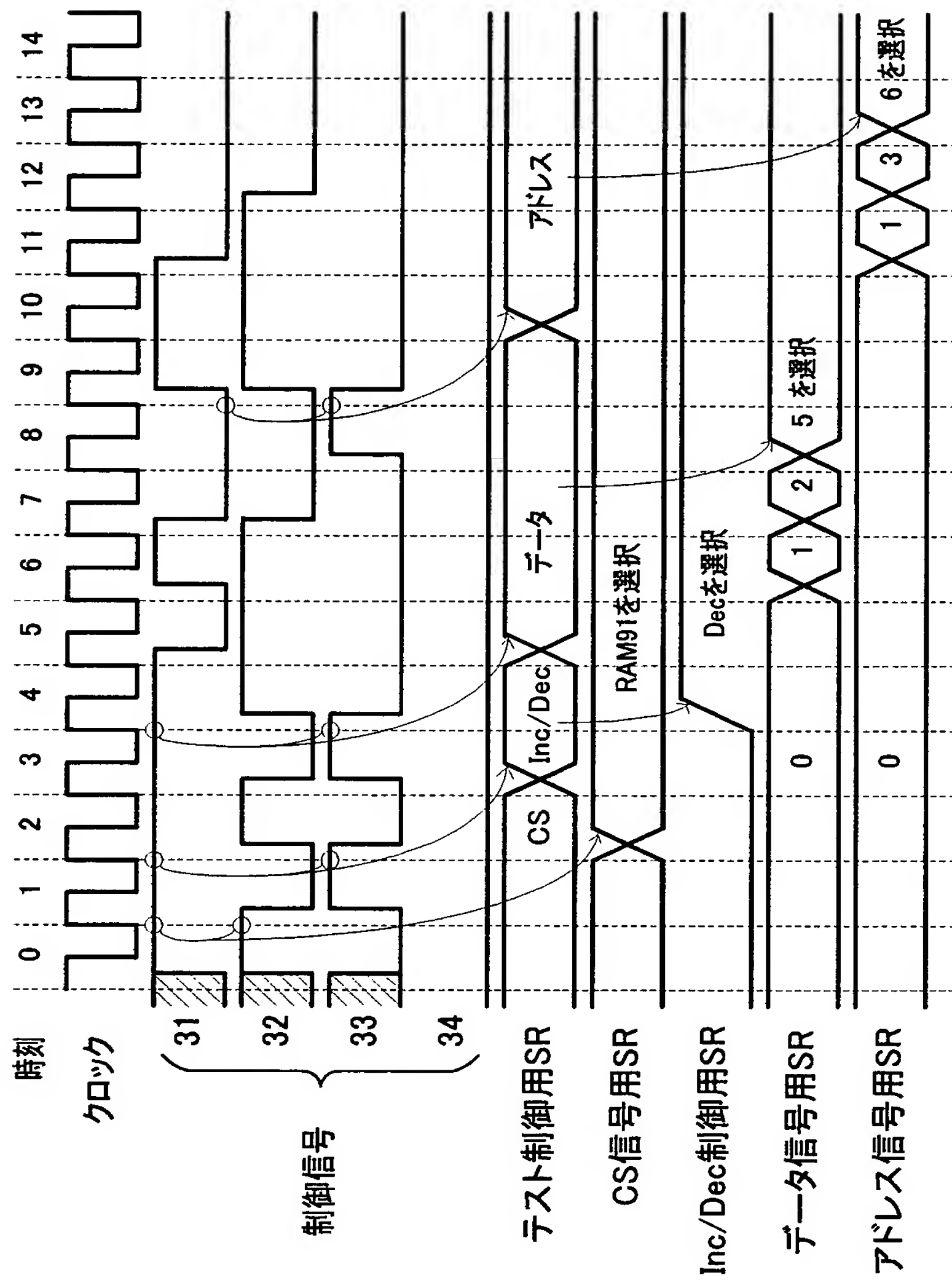
【図 1】

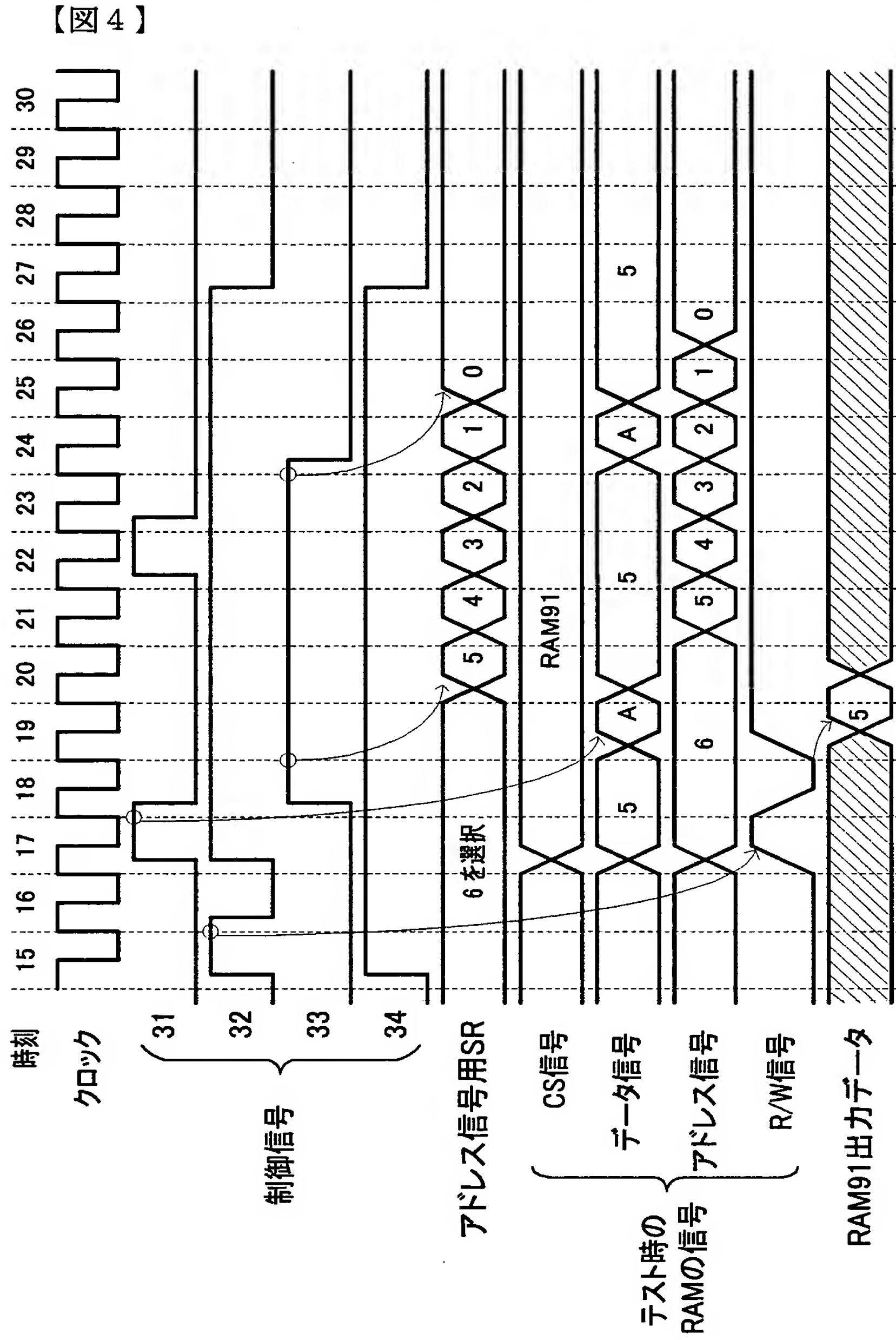


【図 2】

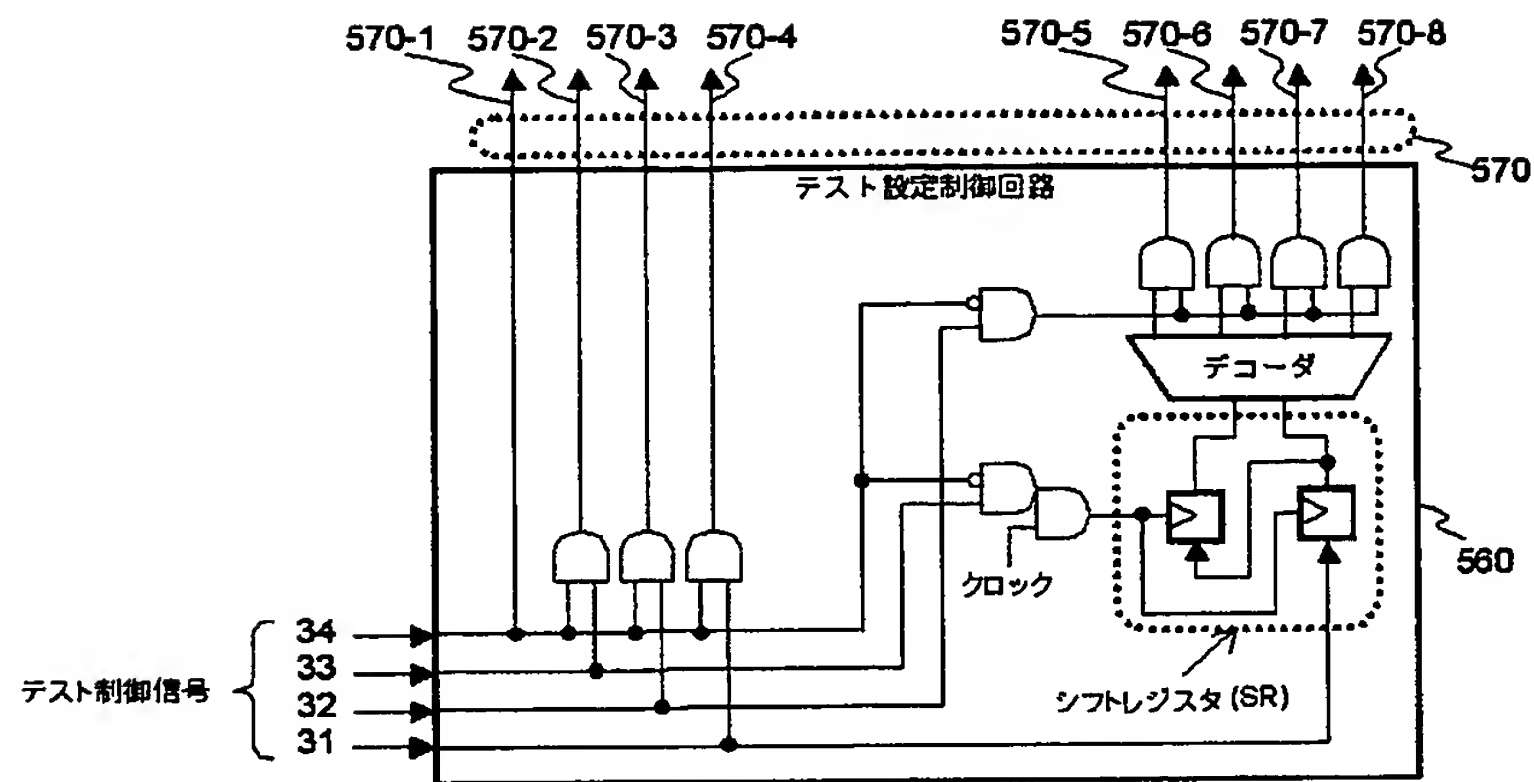
制御信号				動作モード	動作内容
34	33	32	31		
0	0	0	0	テスト設定	No Operation
	0	0	1		Reserved
	0	1	X		信号生成回路510-530及びInc/Dec制御回路522のSRをシフト。入力は制御信号31
	1	0	X		テスト設定制御回路560のSRをシフト。入力は制御信号31
	1	1	X		Reserved
1	0/1	X	X	テスト実行	アドレス Inc(Dec) 有無の制御。 1:有り 0:無
	X	0/1	X		R/W の制御。 1:W(ライト) 0:R(リード)
	X	X	0/1		データ反転有無の制御。 1:反転 0:非反転

【図 3】

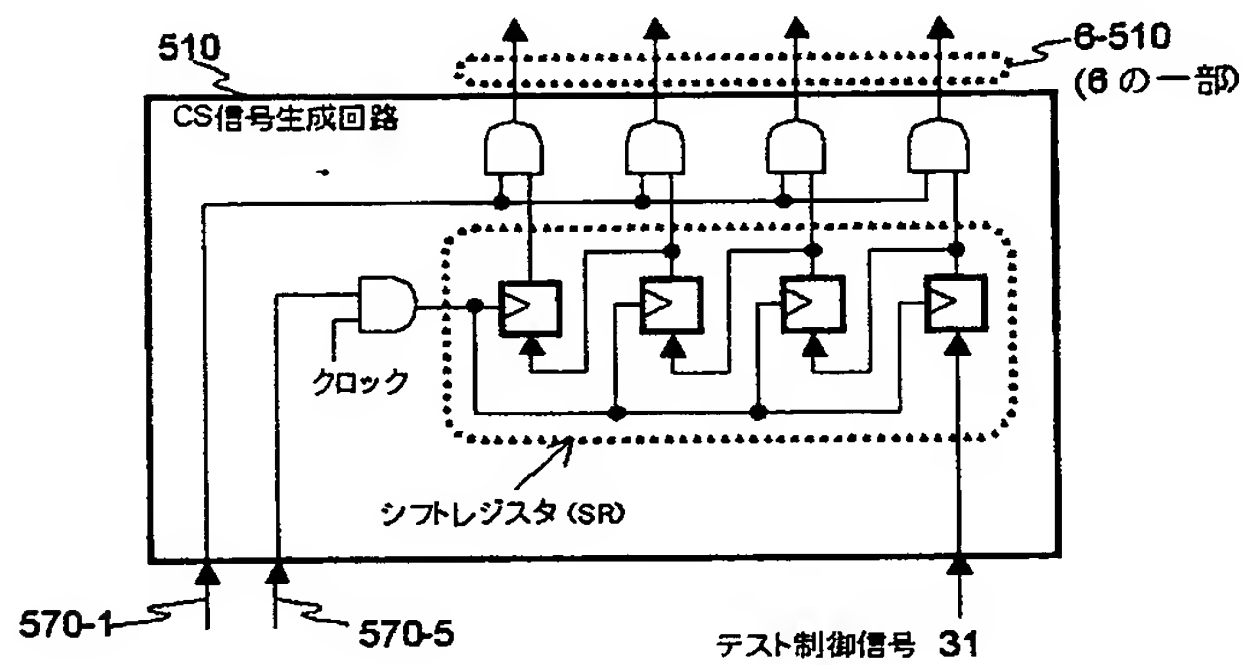




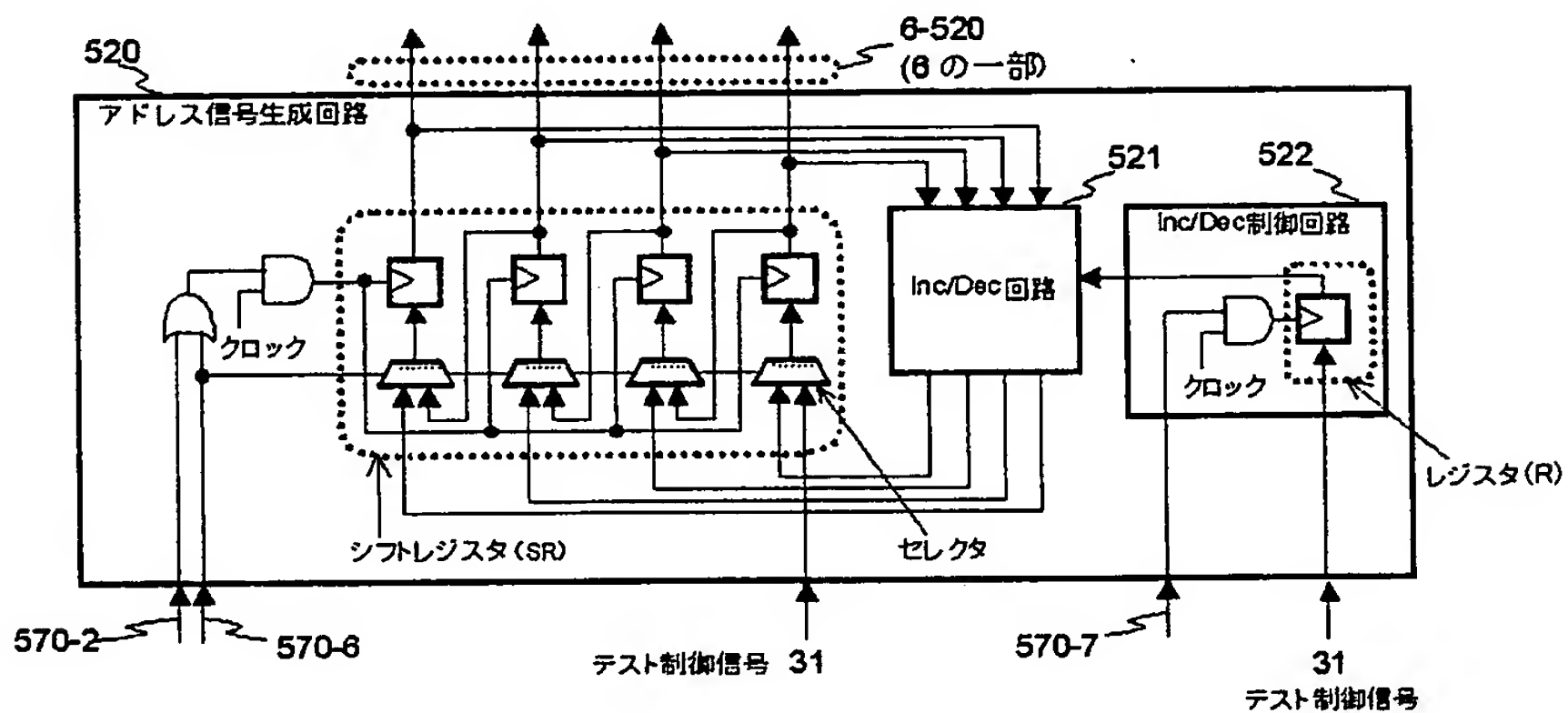
【図 5】



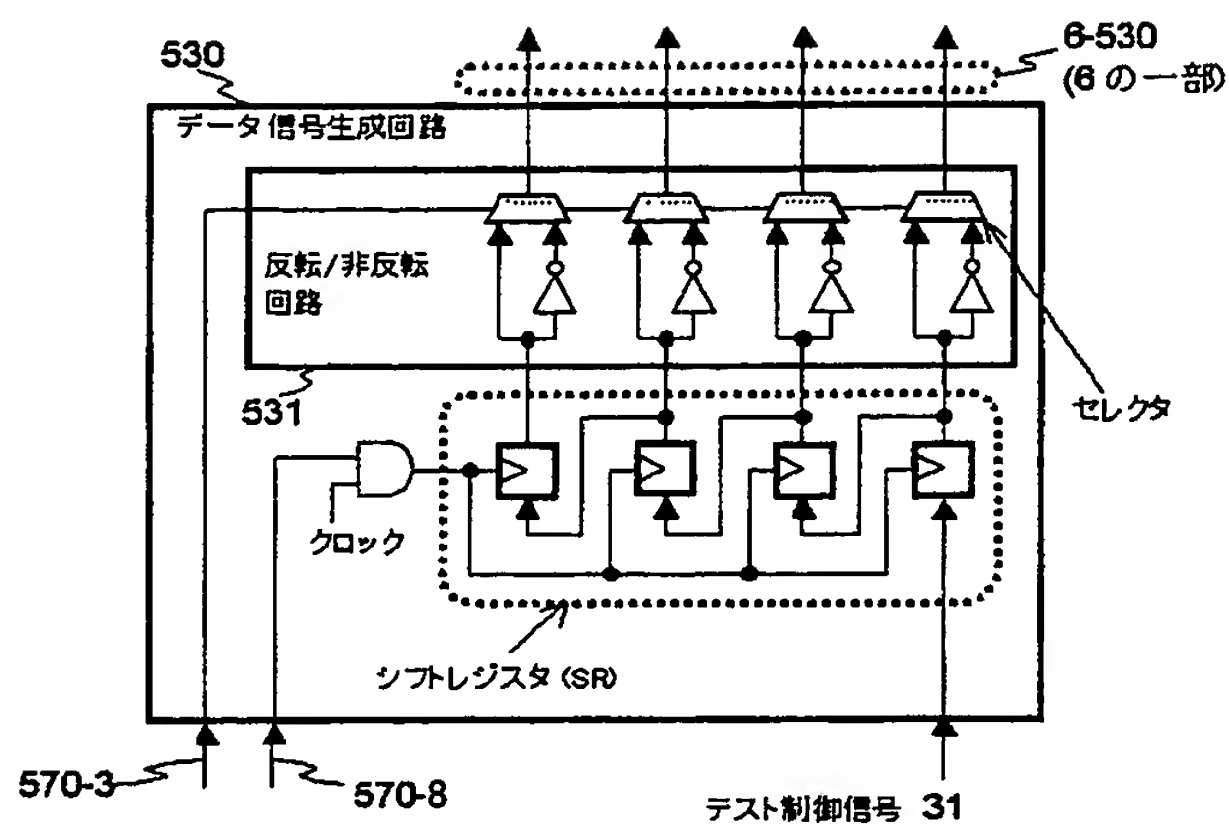
【図 6】



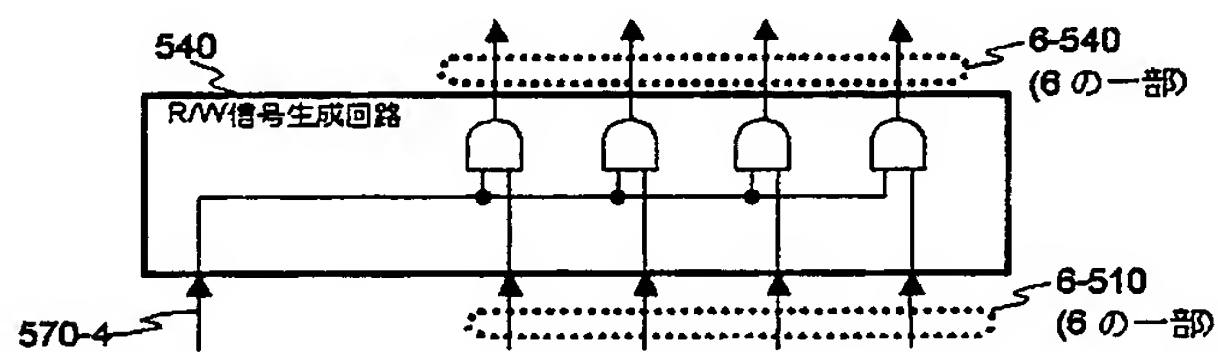
【図 7】



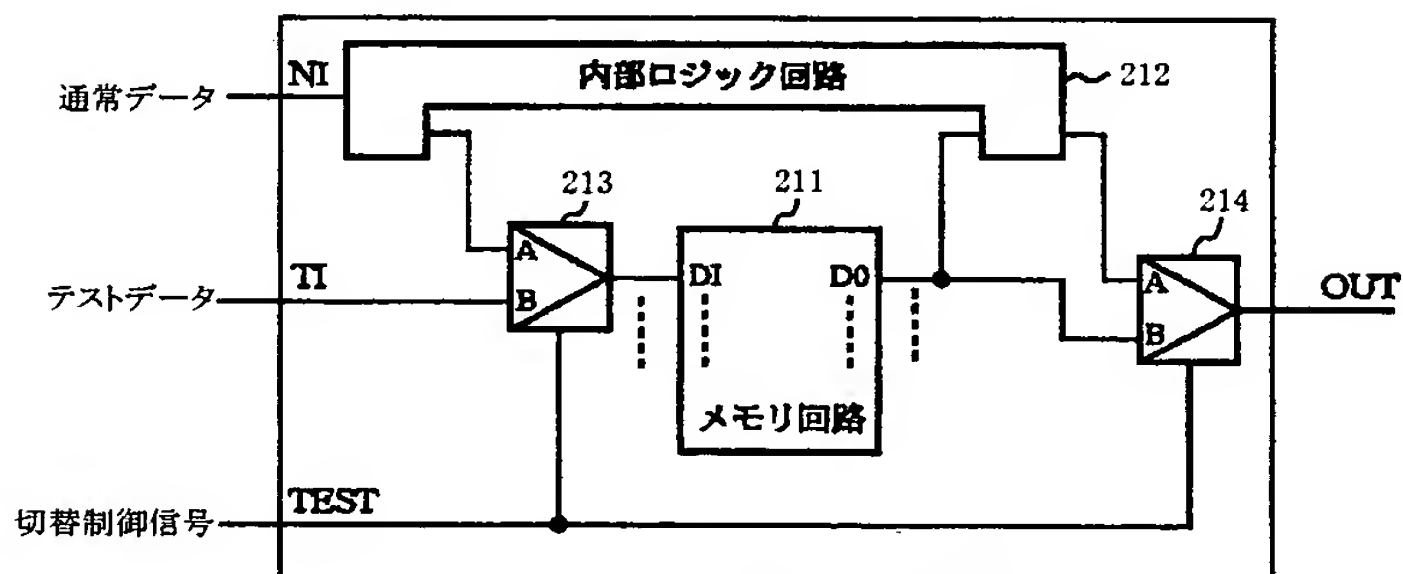
【図 8】



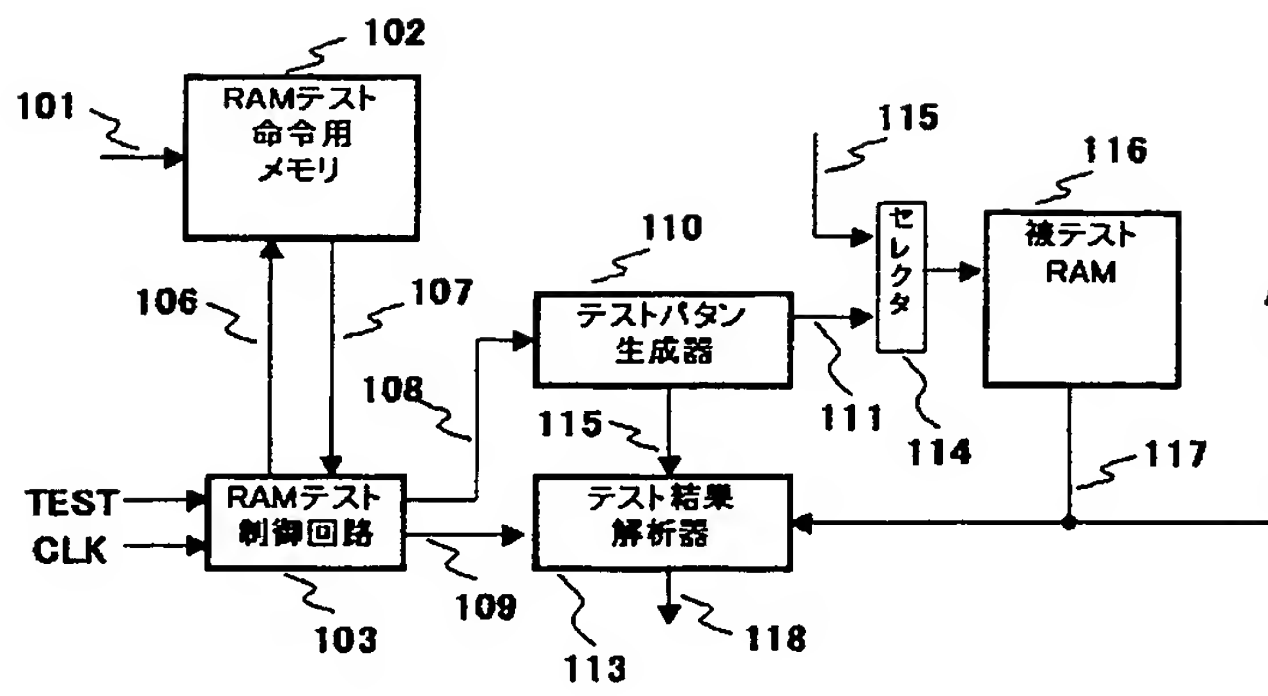
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 必要最低限のテスト用外部端子と回路追加により、テスト内容が変更可能なメモリのテスト回路を実現する。

【解決手段】 被テストメモリのCS信号、アドレス信号、データ信号、R/W信号を生成する各信号生成回路と、これらの信号生成回路の制御データを発生するテスト設定制御回路を備える。信号生成回路及びテスト設定制御回路はシフトレジスタを備えており、これらのシフトレジスタに制御データやテストデータが外部端子よりシリアルに入力される。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 5 3 3 2 9
受付番号	5 0 2 0 1 2 9 6 3 3 0
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 9 月 2 日

< 認定情報・付加情報 >

【提出日】	平成14年 8月30日
-------	-------------

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-253329

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-318488の出願人名義変更届（一般承継）に添付のものを援用する。

【物件名】 承継人であることを証明する承継証明書 1

【援用の表示】 平成15年1月10日提出の特願2002-297612の出願人名義変更届（一般承継）に添付のものを援用する。

【包括委任状番号】 0215753

【プルーフの要否】 要

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 5 3 3 2 9
受付番号	5 0 3 0 0 2 0 6 6 9 7
書類名	出願人名義変更届（一般承継）
担当官	土井 恵子 4 2 6 4
作成日	平成 1 5 年 2 月 1 9 日

< 認定情報・付加情報 >

【提出日】	平成15年 2月10日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日
[変更理由] 新規登録
住 所 東京都港区芝五丁目 7 番 1 号
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日 2 0 0 2 年 1 1 月 1 日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名 NECエレクトロニクス株式会社